

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-271941

(43)Date of publication of application : 09.11.1988

(51)Int.Cl.

H01L 21/322
H01L 21/76

(21)Application number : 62-107397

(71)Applicant : NEC CORP

(22)Date of filing : 28.04.1987

(72)Inventor : KOTANI TOSHIYUKI

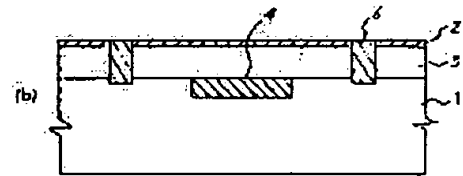
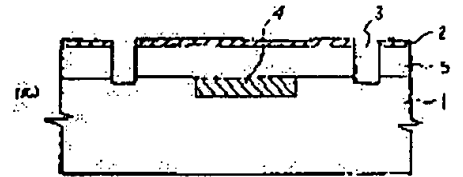
(54) PREVENTION OF OCCURRENCE OF CRYSTAL DEFECT

(57)Abstract:

PURPOSE: To prevent the generation of crystal defect by a method wherein polySi is buried in element isolation regions to getter heavy metal contaminants and so on the active region of a device.

CONSTITUTION: An N-type buried and diffused region 4 is formed in a substrate 1 and thereafter, an N-type epitaxial layer 5 is grown in a prescribed film thickness, a thermal oxide film 2 is grown and after insulating regions are patterned, grooves 3 for insulation are formed. Then, polySi is grown to fill the insulating grooves 3, then the unnecessary polySi on the film 2 is removed and the polySi 6 is left only in the grooves 3. Then, if an impurity for insulation, boron, is diffused using the film 2 as a mask to manufacture a transistor, heavy metal contaminants mixed during those processes are gettered to the grain boundary of the polycrystalline polySi 6 for insulation and the contaminants are eliminated from the active region of a device.

Thereby, the generation of crystal defect in the device active region can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

より、デバイス活性領域の結晶欠陥発生を防止する。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の縦断面図である。P型Si単結晶基板1に酸化、フォトリソグラフィにて、N型埋込み拡散領域4を形成した後、N型エピタキシャル層5を所定の膜厚成長し、熱酸化膜2を5000~6000Å成長し、フォトリソグラフィにて絶縁領域をパターンニングした後、異方性エッチングを用いて絶縁用障3を形成する(第1図(a))。次に通常の減圧CVD法にて多結晶シリコンを成長し、絶縁障3を埋め、次に異方性エッチングにて酸化膜上の不要な多結晶シリコンを取り除き、絶縁障3内にのみ多結晶シリコン6を残す。次に酸化膜2をマスクに絶縁用不純物ボロンを拡散し、以後通常のNPN Tr製造工程に基づいてトランジスターを製造すれば、それら工程にて混入してくる重金属汚染物は、絶縁用多結晶ポリシリコン6の粒界にグッタリングされ、デ

バイス活性領域は汚染物がなくなり、デバイス歩留が向上する。

〔実施例2〕

第2図は本発明の実施例2の縦断面図である。P型Si単結晶基板1に酸化膜7を形成しフォトリソグラフィによりN型埋込み拡散層4を選択的に形成する(第2図(a))。次にフォトリソグラフィにより絶縁領域8を選択的に酸化膜7を残す(第2図(b))。前記基板にエピタキシャル成長を行い絶縁領域の酸化膜8の領域ではエピタキシャルが多結晶化し、多結晶シリコン9になり、他のデバイス活性領域はエピタキシャル成長し単結晶する(第2図(c))。以後、酸化、フォトリソグラフィにより絶縁多結晶シリコン9にボロン拡散し素子分離を行う。この多結晶化シリコン9にてデバイス製造プロセス中の重金属汚染物をグッタリングし、デバイス活性領域の汚染物がなくなり、デバイス歩留が向上する。

〔発明の効果〕

以上説明したように本発明は素子分離領域に多

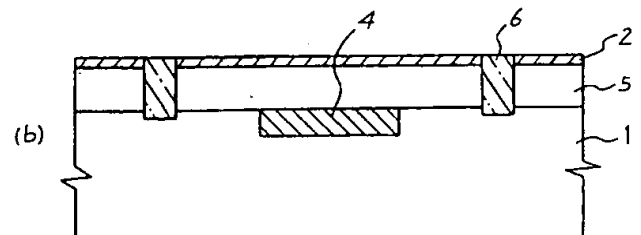
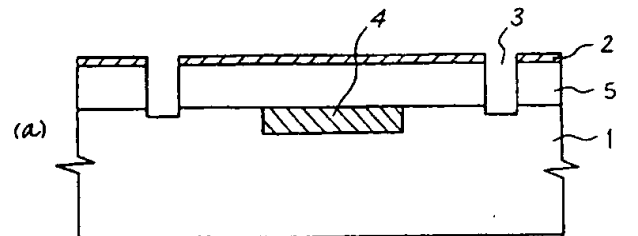
結晶シリコンを埋込みその粒界にデバイス活性領域の重金属汚染をグッター効果があり、かつ製造工程途中の熱処理により消滅せず、IG効果の様にSi単結晶基板を緩く管理する必要がない。

4. 図面の簡単な説明

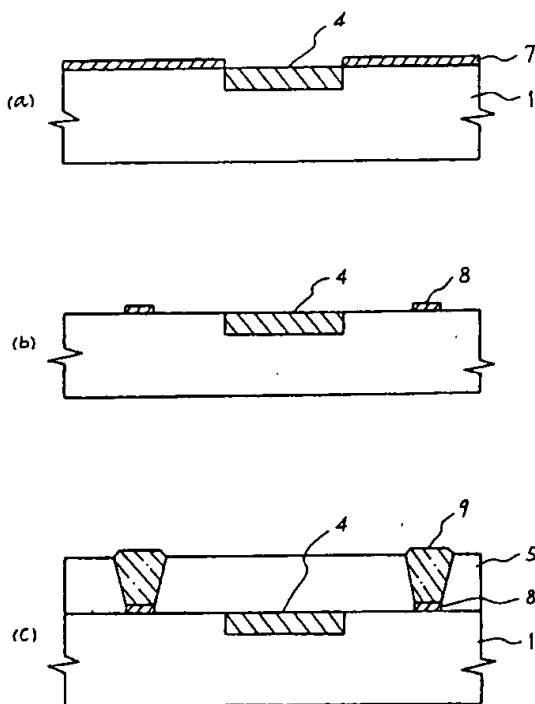
第1図(a)、(b)、第2図(a)~(c)は本発明の素子分離領域へ多結晶シリコンを埋め込むための実施例2例の工程断面図である。

1……Si単結晶基板、2……エピタキシャル上の酸化膜、3……絶縁障、4……N型埋込み拡散層、5……N型エピタキシャル層、6……絶縁障内の多結晶シリコン、7……Si単結晶基板上の酸化膜、8……絶縁領域の酸化膜、9……エピタキシャル成長中に多結晶化した絶縁領域多結晶シリコン。

代理人 弁理士 内 原 晋



第1図



第2図